

Pixel circuit for light emitting element

Publication number: JP2003177709

Publication date: 2003-06-27

Inventor:**Applicant:**

Classification:

- International: **H01L51/50; G09F9/30; G09G3/20; G09G3/30; G09G3/32; H01L27/32; G09G3/22; H01L51/50; G09F9/30; G09G3/20; G09G3/30; G09G3/32; H01L27/28; G09G3/22; (IPC1-7): G09G3/30; G09F9/30; G09G3/20; H05B33/14**

- european: G09G3/32A

Application number: JP20010379714 20011213

Priority number(s): JP20010379714 20011213

Also published as:



EP1321922 (A2)

US6930680 (B2)

US2005243040 (A1)

US2003122745 (A1

EP1321922 (A3)

[more >>](#)

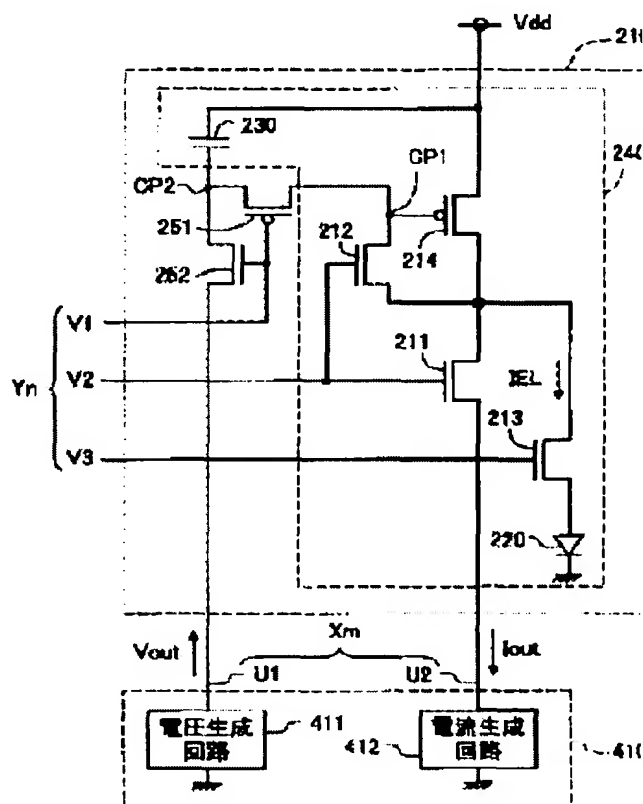
Report a data error here

Abstract of JP2003177709

PROBLEM TO BE SOLVED: To provide a technology for setting the emission gradation of a current drive type light emitting element using a system different from that of the conventional practice.

SOLUTION: The pixel circuit 210 is provided with a current programming circuit 240 and transistors 251, 252 for voltage programming. At the time of setting the emission gradation of an organic EL (electroluminescent) element 220, voltage programming is performed by utilizing a voltage signal V_{out} by setting respectively first and second transistors 251, 252 for voltage programming to be in an OFF state and an ON state. Next, current programming is performed by utilizing a current signal I_{out} by changing states of the transistors 251, 252.

COPYRIGHT: (C)2003,JPO



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2003-177709

(P 2 0 0 3 - 1 7 7 7 0 9 A)

(43) 公開日 平成 15 年 6 月 27 日 (2003. 6. 27)

(51) Int. Cl.	識別記号	F I	テーマコード (参考)
G09G 3/30		G09G 3/30	J 3K007
			K 5C080
G09F 9/30	338	G09F 9/30	338 5C094
	365		365 Z
G09G 3/20	623	G09G 3/20	623 R
審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く			

(21) 出願番号 特願 2001-379714 (P 2001-379714)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(22) 出願日 平成 13 年 12 月 13 日 (2001. 12. 13)

(72) 発明者 宮澤 貴士

長野県諏訪市大和三丁目 3 番 5 号 セイコ

ーエプソン株式会社内

(74) 代理人 110000028

特許業務法人明成国際特許事務所

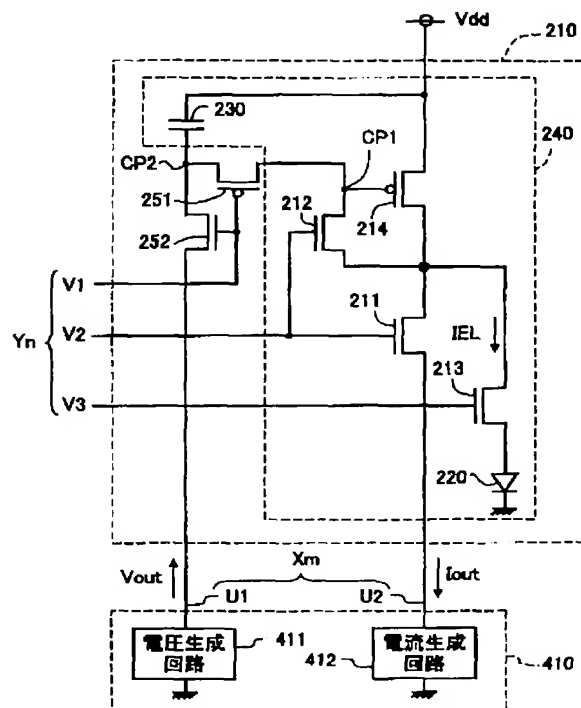
最終頁に続く

(54) 【発明の名称】 発光素子用の画素回路

(57) 【要約】

【課題】 従来とは異なる方式で電流駆動型発光素子の発光階調を設定する技術を提供する。

【解決手段】 画素回路 210 は、電流プログラミング回路 240 と、電圧プログラミング用トランジスタ 251、252 とを備える。有機 EL 素子 220 の発光階調の設定時には、第 1 と第 2 の電圧プログラミング用トランジスタ 251、252 をオフ状態とオン状態にそれぞれ設定し、電圧信号 V_{out} を利用して電圧プログラミングを行う。次に、第 1 と第 2 の電圧プログラミング用トランジスタ 251、252 の状態を切換え、電流信号 I_{out} を利用して電流プログラミングを行う。



【特許請求の範囲】

【請求項 1】 アクティブマトリクス駆動法によって駆動される電気光学装置であって、

発光素子を含む複数の画素回路がマトリクス状に配列された画素回路マトリクスと、

前記画素回路マトリクスの行方向に沿って配列された画素回路群にそれぞれ接続された複数の走査線と、

前記画素回路マトリクスの列方向に沿って配列された画素回路群にそれぞれ接続された複数のデータ線と、

前記複数の走査線に接続され、前記画素回路マトリクスの 1 つの行を選択するための走査線駆動回路と、

前記発光素子の発光の階調に応じたデータ信号を生成して、前記複数のデータ線のうちの少なくとも 1 つのデータ線に出力することが可能なデータ信号生成回路と、を備え、

前記データ信号生成回路は、前記データ線に出力される第 1 のデータ信号としての電流信号を生成するための電流生成回路と、前記データ線に出力される第 2 のデータ信号としての電圧信号を生成するための電圧生成回路と、を含んでおり、

前記画素回路は、(i) 電流駆動型の発光素子と、(i i) 前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、(i i i) 前記駆動トランジスタの制御電極に接続されており、前記電流生成回路から供給される電流信号の電流値に応じた電荷量を保持することによって、前記駆動トランジスタに流れる電流値を設定するための保持キャパシタと、(i v) 前記保持キャパシタと前記データ線との間に接続されており、前記電流信号に応じて前記保持キャパシタに電荷を供給するか否かを制御するための第 1 のスイッチングトランジスタと、を含み、前記電流信号の電流値に応じて前記発光素子の発光の階調が調節される電流プログラミング回路と、前記保持キャパシタに接続されており、前記電圧生成回路から供給される電圧信号に応じて前記保持キャパシタに電荷を供給するか否かを制御するための第 2 のスイッチングトランジスタと、を備える、電気光学装置。

【請求項 2】 請求項 1 記載の電気光学装置であって、1 列分の画素回路群のためのデータ線は、前記電流信号を伝送するための電流信号線と、前記電圧信号を伝送するための電圧信号線と、を含んでいる、電気光学装置。

【請求項 3】 請求項 1 または 2 記載の電気光学装置であって、さらに、

前記保持キャパシタと前記第 1 のスイッチングトランジスタとの間に直列に接続された第 3 のスイッチングトランジスタを備える、電気光学装置。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載の電気光学装置であって、

前記保持キャパシタへの電荷の供給は、前記電圧信号による電荷の供給が完了した後に前記電流信号による電荷の供給が完了するように実行される、電気光学装置

【請求項 5】 請求項 4 記載の電気光学装置であって、前記保持キャパシタへの前記電流信号による電荷の供給は、前記電圧信号による電荷の供給が完了した後に開始される、電気光学装置。

【請求項 6】 発光素子のための画素回路であって、

(i) 電流駆動型の発光素子と、(i i) 前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、

(i i i) 前記駆動トランジスタの制御電極に接続されており、所定の電流信号線を介して外部の電流生成回路

から供給される電流信号の電流値に応じた電荷量を保持することによって、前記駆動トランジスタに流れる電流値を設定するための保持キャパシタと、(i v) 前記保持キャパシタと前記電流信号線との間に接続されてお

り、前記電流信号に応じて前記保持キャパシタに電荷を供給するか否かを制御するための第 1 のスイッチングトランジスタと、を含み、前記電流信号の電流値に応じて前記発光素子の発光の階調が調節される電流プログラミング回路と、

前記保持キャパシタに接続されており、所定の電圧信号線を介して外部の電圧生成回路から供給される電圧信号に応じて前記保持キャパシタに電荷を供給するか否かを制御するための第 2 のスイッチングトランジスタと、を備える画素回路。

【請求項 7】 電流駆動型の発光素子と、前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、

前記駆動トランジスタの制御電極に接続されて前記駆動トランジスタの駆動状態を設定する保持キャパシタと、

含む画素回路を備えた電気光学装置の駆動方法であって、(a) 前記保持キャパシタに電圧信号を供給することによって、前記保持キャパシタに電荷を供給するステ

ップと、(b) 少なくとも前記電圧信号による電荷の供給が完了した後の期間において、前記発光素子の発光の階調に応じた電流値を有する電流信号を利用して、前記保持キャパシタに前記発光の階調に応じた電荷を保持させるステップと、を備えることを特徴とする電気光学装置の駆動方法。

【請求項 8】 電流駆動型の発光素子と、前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、

前記駆動トランジスタの制御電極に接続されて前記駆動トランジスタの駆動状態を設定する保持キャパシタと、

含む画素回路と、前記画素回路に接続されたデータ線と、を備えた電気光学装置の駆動方法であって、(a)

前記データ線を介して前記保持キャパシタに電圧信号を供給することによって、前記保持キャパシタと前記データ線との双方を充電または放電させるステップと、

(b) 少なくとも前記電圧信号の供給が完了した後の期間において、前記発光素子の発光の階調に応じた電流値を有する電流信号を利用して、前記保持キャパシタに前記発光の階調に応じた電荷を保持させるステップと、を備えることを特徴とする電気光学装置の駆動方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電流駆動型発光素子の画素回路の技術に関する。

【0002】

【従来の技術】近年、有機EL素子（Organic Electroluminescent element）を用いた電気光学装置が開発されている。有機EL素子は、自発光素子であり、バックライトが不要なので、低消費電力、高視野角、高コントラスト比の表示装置を達成できるものと期待されている。なお、本明細書において、「電気光学装置」とは、電気信号を光に変換する装置を意味している。電気光学装置の最も普通の形態は、画像を表す電気信号を画像を表す光に変換する装置であり、特に表示装置として好適である。

【0003】

【発明が解決しようとする課題】有機EL素子の画素回路としては、電圧値に応じて発光階調を設定する電圧プログラミング方式の画素回路と、電流値に応じて発光階調を設定する電流プログラミング方式の画素回路とが存在する。なお、「プログラミング」とは、画素回路に発光階調を設定する処理を意味している。電圧プログラミング方式は、比較的高速であるが、発光階調の設定精度があまり良くない場合がある。一方、電流プログラミング方式は、発光階調の設定精度は比較的良好であるが、設定に比較的時間を要する場合がある。

【0004】そこで、従来とは異なる方式の画素回路が望まれていた。このような要望は、有機EL素子を用いた表示装置に限らず、有機EL素子以外の電流駆動型発光素子を用いた表示装置や電気光学装置に共通する問題であった。

【0005】本発明は、上述した従来の課題を解決するためになされたものであり、従来とは異なる方式で電流駆動型発光素子の発光階調を設定する技術を提供することを目的とする。

【0006】

【課題を解決するための手段およびその作用・効果】上記目的を達成するために、本発明による電気光学装置は、アクティブマトリクス駆動法によって駆動される電気光学装置であって、発光素子を含む複数の画素回路がマトリクス状に配列された画素回路マトリクスと、前記画素回路マトリクスの行方向に沿って配列された画素回路群にそれぞれ接続された複数の走査線と、前記画素回路マトリクスの列方向に沿って配列された画素回路群にそれぞれ接続された複数のデータ線と、前記複数の走査線に接続され、前記画素回路マトリクスの1つの行を選択するための走査線駆動回路と、前記発光素子の発光の階調に応じたデータ信号を生成して、前記複数のデータ線のうちの少なくとも1つのデータ線に出力することが可能なデータ信号生成回路と、を備える。前記データ

信号生成回路は、前記データ線に出力される第1のデータ信号としての電流信号を生成するための電流生成回路と、前記データ線に出力される第2のデータ信号としての電圧信号を生成するための電圧生成回路と、を含んでいる。前記画素回路は、(i)電流駆動型の発光素子と、(ii)前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、(iii)前記駆動トランジスタの制御電極に接続されており、前記電流生成回路から供給される電流信号の電流値に応じた電荷量を保持することによって、前記駆動トランジスタに流れる電流値を設定するための保持キャパシタと、(iv)前記保持キャパシタと前記データ線との間に接続されており、前記電流信号を前記保持キャパシタに供給するかどうかを制御するための第1のスイッチングトランジスタと、を含み、前記電流信号の電流値に応じて前記発光素子の発光の階調が調節される電流プログラミング回路と、前記保持キャパシタに接続されており、前記電圧生成回路から供給される電圧信号を、前記保持キャパシタに供給するかどうかを制御するための第2のスイッチングトランジスタと、を備える。

【0007】このような電気光学装置では、第2のスイッチングトランジスタを介して保持キャパシタに電圧信号を供給して電圧プログラミングを行い、その後、第1のスイッチングトランジスタを介して保持キャパシタに電流信号を供給して電流プログラミングを行うことができる。この結果、比較的高速で精度良く発光階調の設定を行うことが可能である。

【0008】1列分の画素回路群のためのデータ線は、前記電流信号を伝送するための電流信号線と、前記電圧信号を伝送するための電圧信号線と、を含んでも良い。

【0009】この構成によれば、電圧信号と電流信号が異なる信号線を介して供給されるので、これらの2つの信号の供給タイミングの調整が容易である。

【0010】なお、上記電気光学装置は、さらに、前記保持キャパシタと前記第1のスイッチングトランジスタとの間に直列に接続された第3のスイッチングトランジスタを備えるようにしてもよい。

【0011】この構成によれば、電圧プログラミング時と電流プログラミング時で第3のスイッチングトランジスタのオン／オフを適切に制御することによって、より高速で精度良い発光階調の設定を行うことが可能である。

【0012】なお、前記保持キャパシタへの電荷の供給は、前記電圧信号による電荷の供給が完了した後に前記電流信号による電荷の供給が完了するように実行されることが好ましい。

【0013】この構成によれば、最終的に電流プログラミングによって発光素子に流れる電流が設定されるので、発光階調をより精度良く設定することが可能であ

10

20

30

40

50

る。

【0014】なお、前記保持キャパシタへの前記電流信号による電荷の供給は、前記電圧信号による電荷の供給が完了した後に開始されるようにしてもよい。

【0015】本発明による電気光学装置の第1の駆動方法は、電流駆動型の発光素子と、前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、前記駆動トランジスタの制御電極に接続されて前記駆動トランジスタの駆動状態を設定する保持キャパシタと、含む画素回路を備えた電気光学装置の駆動方法であって、(a) 前記保持キャパシタに電圧信号を供給することによって、前記保持キャパシタに電荷を供給するステップと、(b) 少なくとも前記電圧信号による電荷の供給が完了した後の期間において、前記発光素子の発光の階調に応じた電流値を有する電流信号を利用して、前記保持キャパシタに前記発光の階調に応じた電荷を保持させるステップと、を備えることを特徴とする。

【0016】この方法によれば、電圧信号による保持キャパシタへの電荷の供給が行われた後に、電流信号を利用して発光階調が最終的に設定されるので、高速かつ正確に発光階調を設定することが可能である。

【0017】本発明による電気光学装置の第2の駆動方法は、電流駆動型の発光素子と、前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、前記駆動トランジスタの制御電極に接続されて前記駆動トランジスタの駆動状態を設定する保持キャパシタと、含む画素回路と、前記画素回路に接続されたデータ線と、を備えた電気光学装置の駆動方法であって、(a) 前記データ線を介して前記保持キャパシタに電圧信号を供給することによって、前記保持キャパシタと前記データ線との双方を充電または放電させるステップと、(b) 少なくとも前記電圧信号の供給が完了した後の期間において、前記発光素子の発光の階調に応じた電流値を有する電流信号を利用して、前記保持キャパシタに前記発光の階調に応じた電荷を保持させるステップと、を備えることを特徴とする。

【0018】この方法によれば、電圧信号による保持キャパシタおよびデータ線の双方の充電または放電が行われた後に、電流信号を利用して発光階調が最終的に設定されるので、さらに高速かつ正確に発光階調を設定することが可能である。

【0019】なお、本発明は、種々の形態で実現することが可能であり、例えば、画素回路、この画素回路を用いた電気光学装置や表示装置、その電気光学装置や表示装置を備えた電子装置や電子機器、それらの装置や機器の駆動方法、その方法の機能を実現するためのコンピュータプログラム、そのコンピュータプログラムを記録した記録媒体、そのコンピュータプログラムを含み搬送波内に具現化されたデータ信号、等の形態で実現することができる。

【0020】

【発明の実施の形態】次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

A. 第1実施例：

B. 第2実施例：

C. 第3実施例：

D. 第4実施例：

E. 第5実施例：

F. 他の変形例：

10 【0021】A. 第1実施例：図1は、本発明の第1実施例としての表示装置の概略構成を示すブロック図である。この表示装置は、コントローラ100と、表示マトリクス部200（「画素領域」とも呼ぶ）と、ゲートドライバ300と、データ線ドライバ400とを有している。コントローラ100は、表示マトリクス部200に表示を行わせるためのゲート線駆動信号とデータ線駆動信号を生成して、ゲートドライバ300とデータ線ドライバ400にそれぞれ供給する。

20 【0022】図2は、表示マトリクス部200とデータ線ドライバ400の内部構成を示している。表示マトリクス部200は、マトリクス状に配列された複数の画素回路210を有しており、各画素回路210は有機EL素子220をそれぞれ有している。画素回路210のマトリクスには、その列方向に沿って伸びる複数のデータ線 X_m ($m=1\sim M$)と、行方向に沿って伸びる複数のゲート線 Y_n ($n=1\sim N$)とがそれぞれ接続されている。なお、データ線は「ソース線」とも呼ばれ、また、ゲート線は「走査線」とも呼ばれる。また、本明細書では、画素回路210を「単位回路」あるいは単に「画素」とも呼ぶ。画素回路210内のトランジスタは、通常はTFT（薄膜トランジスタ）で構成される。

30 【0023】ゲートドライバ300は、複数のゲート線 Y_n の中の1本を選択的に駆動して1行分の画素回路群を選択する。データ線ドライバ400は、各データ線 X_m をそれぞれ駆動するための複数の単一ラインドライバ410を有している。これらの単一ラインドライバ410は、各データ線 X_m を介して画素回路210にデータ信号を供給する。このデータ信号に応じて画素回路210の内部状態（後述する）が設定されると、これに応じて有機EL素子220に流れる電流値が制御され、この結果、有機EL素子220の発光の階調が制御される。

40 【0024】図3は、第1実施例の画素回路210と単一ラインドライバ410の内部構成を示す回路図である。この画素回路210は、 m 番目のデータ線と n 番目のゲート線 Y_n との交点に配置されている回路である。なお、1組のデータ線 X_m は2本のサブデータ線 U_1 、 U_2 を含んでおり、1組のゲート線 Y_n は3本のサブゲート線 $V_1\sim V_3$ を含んでいる。

50 【0025】単一ラインドライバ410は、電圧生成回路411と電流生成回路412とを有している。電圧生

成回路 411 は、第 1 のサブデータ線 U1 を介して画素回路 210 に電圧信号 V_{out} を供給する。また、電流生成回路 412 は、第 2 のサブデータ線 U2 を介して画素回路 210 に電流信号 I_{out} を供給する。

【0026】画素回路 210 は、電流プログラミング回路 240 に、2 つのスイッチングトランジスタ 251、252 が追加された構成を有している。電流プログラミング回路 240 は、第 2 のサブデータ線 U2 に流れる電流値に応じて有機 EL 素子 220 の階調を調節する回路である。

【0027】図 4 は、トランジスタ 251 がオン状態で他のトランジスタ 252 がオフ状態である場合の画素回路 210 の等価回路（すなわち電流プログラミング回路 240 の等価回路）を示している。この電流プログラミング回路 240 は、有機 EL 素子 220 の他に、4 つのトランジスタ 211 ~ 214 と、保持キャパシタ 230（「保持コンデンサ」あるいは「記憶キャパシタ」とも呼ぶ）とを有している。保持キャパシタ 230 は、第 2 のサブデータ線 U2 を介して供給された電流信号 I_{out} の電流値に応じた電荷を保持し、これによって、有機 EL 素子 220 の発光の階調を調節するためのものである。この例では、第 1 ないし第 3 のトランジスタ 211 ~ 213 は n チャンネル型 FET であり、第 4 のトランジスタ 214 は p チャンネル型 FET である。有機 EL 素子 220 は、フォトダイオードと同様の電流注入型（電流駆動型）の発光素子なので、ここではダイオードの記号で描かれている。

【0028】第 1 のトランジスタ 211 のドレインは、第 2 のトランジスタ 212 のソースと、第 3 のトランジスタ 213 のドレインと、第 4 のトランジスタ 214 のドレインと、にそれぞれ接続されている。第 2 のトランジスタ 212 のドレインは、第 4 のトランジスタ 214 のゲートに接続されている。保持キャパシタ 230 は、第 4 のトランジスタ 214 のソース/ゲート間に接続されている。また、第 4 のトランジスタ 214 のソースは、電源電位 V_{dd} にも接続されている。第 1 のトランジスタ 212 のソースは、第 2 のサブデータ線 U2 を介して電流生成回路 412 に接続されている。有機 EL 素子 220 は、第 3 のトランジスタ 213 のソースと接地電位との間に接続されている。第 1 と第 2 のトランジスタ 211、212 のゲートは、第 2 のサブゲート線 V2 に共通に接続されている。また、第 3 のトランジスタ 213 のゲートは、第 3 のサブゲート線 V3 に接続されている。

【0029】第 1 と第 2 のトランジスタ 211、212 は、第 2 のサブデータ線 U2 を介して保持キャパシタ 230 に電荷を蓄積する際に使用されるスイッチングトランジスタである。第 3 のトランジスタ 213 は、有機 EL 素子 220 の発光期間においてオン状態に保たれるスイッチングトランジスタである。また、第 4 のトランジ

スタ 214 は、有機 EL 素子 220 に流れる電流値を制御するための駆動トランジスタである。第 4 のトランジスタ 214 の電流値は、保持キャパシタ 230 に保持される電荷量（蓄積電荷量）によって制御される。

【0030】図 3 に示す画素回路 210 と図 4 に示す等価回路との差異は以下の点である。

(1) 第 2 のトランジスタ 212 のドレインと第 4 のトランジスタのゲートとの接続点 C P1（図 4）と、保持キャパシタ 230 との間に、スイッチングトランジスタ 251 が追加されている。

(2) 保持キャパシタ 230 とスイッチングトランジスタ 251 との接続点 C P2 と、第 1 のサブデータ線 U1 との間に、スイッチングトランジスタ 252 が追加されている。

(3) 追加された 2 つのトランジスタ 251、252 のゲートに共通に接続されたサブゲート線 V1 が追加されている。

(4) 保持キャパシタ 230 には、第 1 のサブデータ線 U1 を介して電圧生成回路 411 からの電圧信号 V_{out} が供給可能であり、また、第 2 のサブデータ線 U2 を介して電流生成回路 412 からの電流信号 I_{out} が供給可能である。

【0031】なお、以下では、追加されたトランジスタ 251、252 を、「電圧プログラミング用トランジスタ 251、252」と呼ぶ。図 3 の例では、第 1 の電圧プログラミング用トランジスタ 251 は p チャンネル型 FET であり、第 2 の電圧プログラミング用トランジスタ 252 は n チャンネル型 FET である。

【0032】電流プログラミング回路 240 の第 1 と第 2 のトランジスタ 211、212 は、電流信号 I_{out} によって保持キャパシタ 230 に電荷を供給するか否かを制御する機能を有しており、本発明における「第 1 のスイッチングトランジスタ」に相当する。また、第 2 の電圧プログラミング用トランジスタ 252 は、電圧信号 V_{out} によって保持キャパシタ 230 に電荷を供給するか否かを制御する機能を有しており本発明における「第 2 のスイッチングトランジスタ」に相当する。さらに、第 1 の電圧プログラミング用トランジスタ 251 は、本発明における「第 3 のスイッチングトランジスタ」に相当する。なお、第 1 の電圧プログラミング用トランジスタ 251 は省略することも可能である。

【0033】図 5 は、画素回路 210 の動作を示すタイミングチャートである。ここでは、サブゲート線 V1 ~ V3 の電圧値（以下、「ゲート信号 V1 ~ V3」も呼ぶ）と、第 2 のサブデータ線 U2 の電流値 I_{out} と、有機 EL 素子 220 に流れる電流値 I_{EL} とが示されている。

【0034】駆動周期 T_c は、プログラミング期間 T_{pr} と発光期間 T_e とに分かれている。ここで、「駆動周期 T_c」とは、表示マトリクス部 200 内のすべての

有機EL素子220の発光の階調が1回ずつ更新される周期を意味しており、いわゆるフレーム周期と同じものである。階調の更新は、1行分の画素回路群毎に行われ、駆動周期 T_c の間にN行分の画素回路群の階調が順次更新される。例えば、30Hzで全画素回路の階調が更新される場合には、駆動周期 T_c は約33msである。

【0035】プログラミング期間 T_{pr} は、有機EL素子220の発光の階調を画素回路210内に設定する期間である。本明細書では、画素回路210への階調の設定を「プログラミング」と呼んでいる。例えば、駆動周期 T_c が約33msであり、ゲート線 Y_n の総数N（すなわち画素回路マトリクスの行数）が480本である場合には、プログラミング周期 T_{pr} は約69 μ s（=33ms/480）以下になる。

【0036】プログラミング期間 T_{pr} では、まず、第2と第3のゲート信号 V_2 、 V_3 をLレベルに設定して第1と第3のトランジスタ211、213をオフ状態（閉状態）に保つ。そして、第1のゲート信号 V_1 をHレベルに設定して、第1の電圧プログラミング用トランジスタ251をオフ状態（閉状態）に設定するとともに、第2の電圧プログラミング用トランジスタ252をオン状態（開状態）に設定する。このとき、電圧生成回路411（図3）は、発光階調に応じた所定の電圧値の電圧信号 V_{out} を生成する。但し、電圧信号 V_{out} としては、発光階調に依らずに常に一定の電圧値を有する信号を利用することも可能である。この電圧信号 V_{out} が、第2の電圧プログラミング用トランジスタ252を介して保持キャパシタ230に供給されると、保持キャパシタ230には電圧信号 V_{out} の電圧値に応じた電荷が蓄積される。

【0037】こうして電圧信号 V_{out} によるプログラミングが終了すると、第1のゲート信号 V_1 をLレベルに立ち下げて、第1の電圧プログラミング用トランジスタ251をオン状態に設定するとともに、第2の電圧プログラミング用トランジスタ252をオフ状態に設定する。このとき、画素回路210は図4に示した等価回路になる。この状態において、第2のサブデータ線 U_2 上に発光階調に応じた電流値 I_m を流しながら、第2のゲート信号 V_2 をHレベルに設定して第1と第2のトランジスタ211、212をオン状態にする（図5（b）、（e））。このとき、電流生成回路412（図3）は、発光階調に応じた一定の電流値 I_m を流す定電流源として機能する。図5（e）に示されているように、この電流値 I_m は、所定の電流値の範囲 R_1 内において、有機EL素子220の発光の階調に応じた値に設定されている。

【0038】この電流値 I_m によるプログラミングの結果、保持キャパシタ230は、第4のトランジスタ214（駆動トランジスタ）を流れる電流値 I_m に対応した

電荷を保持した状態となる。このとき、第4のトランジスタ214のソース/ゲート間には、保持キャパシタ230に記憶された電圧が印加される。なお、本明細書では、プログラミングに用いられるデータ信号の電流値 I_m を「プログラミング電流値 I_m 」と呼ぶ。

【0039】電流信号 I_{out} によるプログラミングが終了すると、ゲートドライバ300が第2のゲート信号 V_2 をLレベルに設定して第1と第2のトランジスタ211、212をオフ状態とし、また、電流生成回路412は電流信号 I_{out} を停止する。

【0040】発光期間 T_{el} では、第1のゲート信号 V_1 をLレベルに維持して画素回路210を図4の等価回路の状態に設定する。また、第2のゲート信号 V_2 もLレベルに維持し、第1と第2のトランジスタ211、212をオフ状態に保ったまま、第3のゲート信号 V_3 をHレベルに設定して第3のトランジスタ213をオン状態に設定する。保持キャパシタ230には、プログラミング電流値 I_m に対応した電圧が予め記憶されているので、第4のトランジスタ214にはプログラミング電流値 I_m とほぼ同じ電流が流れる。従って、有機EL素子220にもプログラミング電流値 I_m とほぼ同じ電流が流れ、この電流値 I_m に応じた階調で発光する。

【0041】以上のように、第1実施例の画素回路210は、電圧信号 V_{out} によるプログラミングを行った後に、電流信号 I_{out} によるプログラミングを行うので、電圧信号 V_{out} のみによるプログラミングに比べて正確に発光階調を設定できる。また、電流信号 I_{out} のみによるプログラミングに比べて高速に発光階調を設定できる。すなわち、この画素回路210は、従来に比べて高速で高精度な発光階調の設定を実現することが可能である。

【0042】B. 第2実施例：図6は、第2実施例の画素回路210aと単一ラインドライバ410の内部構成を示す回路図である。この画素回路210aは、第1実施例の画素回路210に、第2の保持キャパシタ232を追加したものであり、他の構成は第1実施例と同じである。この第2の保持キャパシタ232は、第2のトランジスタ212のドレインと第4のトランジスタのゲートの接続点C P1と、電源電位 V_{dd} との間に介挿されている。

【0043】図7は、第2実施例の画素回路210aの動作を示すタイミングチャートである。第2実施例では、プログラミング期間 T_{pe} において、第1のゲート信号 V_1 と第2のゲート信号 V_2 が共にHレベルである期間が存在する。第1のゲート信号 V_1 がHレベルにある期間では、第2の電圧プログラミング用トランジスタ252がオン状態となり、電圧信号 V_{out} によって第1の保持キャパシタ230のプログラミングが実行される。

一方、第2のゲート信号 V_2 がHレベルにある期間では、電流プログラミング回路240a内の第1と第2の

スイッチングトランジスタ 211、212 がオン状態となり、電流信号 I_{out} によって第 2 の保持キャパシタ 232 のプログラミングが実行される。なお、第 1 と第 2 のゲート信号 V₁、V₂ が共に H レベルである期間では、第 1 の電圧プログラミング用トランジスタ 251 はオフ状態に保たれているので、第 1 の保持キャパシタ 230 の電圧プログラミングと第 2 の保持キャパシタ 232 の電流プログラミングとが並行して行われる。

【0044】その後、第 1 のゲート信号 V₁ が第 2 のゲート信号 V₂ に先だって L レベルに立ち下がると、電圧プログラミングが完了し、2 つの保持キャパシタ 230、232 へのプログラミング（電流プログラミング）が実行される。このとき、第 1 の保持キャパシタ 230 は予め電圧プログラミングされているので、2 つの保持キャパシタ 230、232 に適切な電荷量を保持させるのに要する時間を短縮することが可能である。

【0045】この第 2 実施例から理解できるように、電圧信号 V_{out} によるプログラミングと、電流信号 I_{out} によるプログラミングとを同時に実行するようにしてもよい。但し、この場合に、図 7 のように、電圧プログラミングが完了した後に電流プログラミングを完了するようにすれば、発光の階調をより精度良く設定できるという利点がある。換言すれば、電流プログラミングは、少なくとも電圧プログラミングが完了した後の期間において実行されることが好ましい。

【0046】C. 第 3 実施例：図 8 は、第 3 実施例の画素回路 210 b と単一ラインドライバ 410 b の内部構成を示す回路図である。この単一ラインドライバ 410 b の電圧生成回路 411 b と電流生成回路 412 b は、電源電位 V_{dd} に接続されている。

【0047】第 3 実施例の画素回路 210 b は、いわゆるサーノフ型の電流プログラミング回路 240 b と、2 つの電圧プログラミング用トランジスタ 251 b、252 b とを備えている。電流プログラミング回路 240 b は、有機 EL 素子 220 b と、4 つのトランジスタ 211 b ~ 214 b と、保持キャパシタ 230 b とを有している。なお、この実施例の 4 つのトランジスタ 211 b ~ 214 b は、p チャンネル型 FET である。

【0048】第 2 のサブデータ線 U₂ には、第 2 のトランジスタ 212 b と、保持キャパシタ 230 b と、第 1 の電圧プログラミング用トランジスタ 251 b と、第 1 のトランジスタ 211 b と、有機 EL 素子 220 b とがこの順に直列に接続されている。第 1 のトランジスタ 211 b のドレインは、有機 EL 素子 220 b に接続されている。第 1 と第 2 のトランジスタ 211 b、212 b のゲートには、第 2 のサブゲート線 V₂ が共通に接続されている。

【0049】電源電位 V_{dd} と接地電位との間には、第 3 のトランジスタ 213 b と、第 4 のトランジスタ 214 b と、有機 EL 素子 220 b との直列接続が介挿され

ている。第 3 のトランジスタ 213 b のドレインと第 4 のトランジスタ 214 b のソースは、第 2 のトランジスタ 212 b のドレインにも接続されている。第 3 のトランジスタ 213 b のゲートには、第 3 のゲート線 V₃ が接続されている。また、第 4 のトランジスタ 214 b のゲートは、第 1 のトランジスタ 211 b のソースに接続されている。

【0050】第 4 のトランジスタ 214 b のソース／ゲート間には、保持キャパシタ 230 b と第 1 の電圧プログラミング用トランジスタ 251 b との直列接続が介挿されている。有機 EL 素子 220 b の発光時には、第 1 の電圧プログラミング用トランジスタ 251 b はオン状態に保たれるので、第 4 のトランジスタ 214 b のソース／ゲート間の電圧は、保持キャパシタ 230 b の蓄積電荷量に応じて決定される。

【0051】第 1 と第 2 のトランジスタ 211 b、212 b は、保持キャパシタ 230 b に所望の電荷を蓄積する際に使用されるスイッチングトランジスタである。第 3 のトランジスタ 213 b は、有機 EL 素子 220 b の発光期間においてオン状態に保たれるスイッチングトランジスタである。また、第 4 のトランジスタ 214 b は、有機 EL 素子 220 b に流れる電流値を制御するための駆動トランジスタである。

【0052】電流プログラミング回路 240 b の第 1 と第 2 のトランジスタ 211 b、212 b は、電流信号 I_{out} によって保持キャパシタ 230 b に電荷を供給するかどうかを制御する機能を有しており、本発明における「第 1 のスイッチングトランジスタ」に相当する。また、第 2 の電圧プログラミング用トランジスタ 252 b は、電圧信号 V_{out} によって保持キャパシタ 230 b に電荷を供給するかどうかを制御する機能を有しており本発明における「第 2 のスイッチングトランジスタ」に相当する。さらに、第 1 の電圧プログラミング用トランジスタ 251 b は、本発明における「第 3 のスイッチングトランジスタ」に相当する。なお、第 1 の電圧プログラミング用トランジスタ 251 b は省略することも可能である。

【0053】図 9 は、第 3 実施例の画素回路 210 b の動作を示すタイミングチャートである。この動作では、図 5 に示した第 1 実施例の動作から、第 2 と第 3 のゲート信号 V₂、V₃ の論理が反転している。また、第 3 実施例では、図 8 の回路構成から理解できるように、プログラミング期間 T_{pr} において、第 2 と第 4 のトランジスタ 212 b、214 b を経由して有機 EL 素子 220 b にプログラミング電流 I_m が流れる。従って、第 3 実施例では、プログラミング期間 T_{pr} においても有機 EL 素子 220 が発光する。このように、プログラミング期間 T_{pr} では、有機 EL 素子 220 が発光しても良く、あるいは、第 1 実施例や第 2 実施例のように発光しなくてもよい。

【0054】この第3実施例も、第1実施例や第2実施例と同様の効果を有する。すなわち、電圧プログラミングと電流プログラミングとを併用しているため、電圧プログラミングのみの場合に比べて正確に発光階調を設定でき、また、電流プログラミングのみの場合に比べて高速に発光階調を設定できる。

【0055】D、第4実施例：図10は、第4実施例の画素回路210cと単一ラインドライバ410cの内部構成を示す回路図である。単一ラインドライバ410cの電圧生成回路411cと電流生成回路412cは、マイナスの電源電位 $-V_{ee}$ に接続されている。

【0056】第4実施例の画素回路210cは、電流プログラミング回路240cと、2つの電圧プログラミング用トランジスタ251c、252cとを備えている。電流プログラミング回路240cは、有機EL素子220cと、4つのトランジスタ211c～214cと、保持キャパシタ230cとを有している。なお、この例では第1と第2のトランジスタ211c、212cはnチャンネル型FETであり、第3と第4のトランジスタ213c、214cは、pチャンネル型FETである。

【0057】第2のサブデータ線U2には、第1と第2のトランジスタ211c、212cがこの順に直列に接続されている。第2のトランジスタ212cのドレインは、第3と第4のトランジスタ213c、214cのゲートに共通に接続されている。また、第1のトランジスタ211cのドレインと第2のトランジスタ212cのソースとが、第3のトランジスタのドレインに共通に接続されている。第4のトランジスタ214cのドレインは、有機EL素子220bを介して電源電位 $-V_{ee}$ に接続されている。第3と第4のトランジスタ213c、214cのソースは接地されている。第3と第4のトランジスタ213c、214cのゲート／ソース間には、第1の電圧プログラミング用トランジスタ251cと保持キャパシタ230cとの直列接続が介挿されている。第1の電圧プログラミング用トランジスタ251cがオン状態の時には、保持キャパシタ230cは、有機EL素子220cの駆動トランジスタである第4のトランジスタ214bのソース／ゲート間の電圧を設定する。従って、有機EL素子220cの発光階調は、保持キャパシタ230cの蓄積電荷量に応じて決定される。保持キャパシタ230cの一方の端子と、第1のサブデータ線U1との間には、第2の電圧プログラミング用トランジスタ252cが接続されている。

【0058】2つの電圧プログラミング用トランジスタ251c、252cのゲートには、第1のサブゲート線V1が共通に接続されている。また、第1と第2のトランジスタ211c、212cのゲートには、第2と第3のサブゲート線V2、V3がそれぞれ接続されている。

【0059】第1と第2のトランジスタ211c、212cは、保持キャパシタ230cに所望の電荷を蓄積す

る際に使用されるスイッチングトランジスタである。第4のトランジスタ214cは、有機EL素子220cに流れる電流値を制御するための駆動トランジスタである。

なお、第3と第4のトランジスタ213c、214cはいわゆるカレントミラー回路を構成しており、第3のトランジスタ213cを流れる電流値と、第4のトランジスタ214cを流れる電流値は所定の比例関係にある。

従って、第2のサブデータ線U2を介して第3のトランジスタ213cのプログラミング電流 I_m を流すと、これに比例した電流が第4のトランジスタ214cと有機EL素子220cとを流れる。これらの2つの電流値の比は、2つのトランジスタ213c、214cの利得係数 β の比に等しい。なお、利得係数 β は、良く知られているように、 $\beta = (\mu C_{ox} W/L)$ で定義される。ここで、 μ はキャリアの移動度、 C_{ox} はゲート容量、 W はチャンネル幅、 L はチャンネル長である。

【0060】この電流プログラミング回路240cの第1と第2のトランジスタ211c、212cは、電流信号 I_{out} によって保持キャパシタ230cに電荷を供給するかどうかを制御する機能を有しており、本発明における「第1のスイッチングトランジスタ」に相当する。また、第2の電圧プログラミング用トランジスタ252cは、電圧信号 V_{out} によって保持キャパシタ230cに電荷を供給するかどうかを制御する機能を有しており本発明における「第2のスイッチングトランジスタ」に相当する。さらに、第2の電圧プログラミング用トランジスタ251cは、本発明における「第3のスイッチングトランジスタ」に相当する。なお、第1の電圧プログラミング用トランジスタ251cは省略することも可能である。

【0061】図10は、第4実施例の画素回路210cの動作を示すタイミングチャートである。プログラミング期間 T_{pr} では、まず、第1のゲート信号 V_1 のみがHレベルとなり、第1と第2の電圧プログラミング用トランジスタ251c、252cがオフ状態とオン状態にそれぞれ設定される。このとき、電圧生成回路411cが、第1のサブデータ線U1を介して電圧信号 V_{out} を保持キャパシタ230cに供給して、電圧プログラミングを行う。次に、第1のゲート信号 V_1 がLレベルに立ち下がり、第2と第3のゲート信号 V_2 、 V_3 がHレベルとなる。第2と第3のゲート信号 V_2 、 V_3 がHレベルにある期間では、電流プログラミング回路240c内の第1と第2のスイッチングトランジスタ211c、212cがオン状態となり、電流信号 I_{out} によって保持キャパシタ230cのプログラミングが実行される。このとき、第4のトランジスタ214cおよび有機EL素子220cにも、電流信号 I_{out} の電流値 I_m （図11(e)）に比例した電流値 I_{ma} が流れる（図11(f)）。このとき、第3と第4のトランジスタ213c、214cの駆動状態に応じた電荷が保持キャパシタ

230cに蓄積される。従って、第2と第3のゲート信号V2、V3がLレベルに立ち下がった後も、第4のトランジスタ214cと有機EL素子220cには、保持キャパシタ230cの蓄積電荷量に応じた電流値Imaが流れる。

【0062】この第4実施例も、上述した他の実施例と同様の効果を有する。すなわち、電圧プログラミングと電流プログラミングとを併用しているので、電圧プログラミングのみの場合に比べて正確に発光階調を設定でき、また、電流プログラミングのみの場合に比べて高速に発光階調を設定できる。

【0063】E. 第5実施例：図12は、第5実施例の画素回路210dと単一ラインドライバ410dの内部構成を示す回路図である。この画素回路210dは、図4に示した回路と同じものである。すなわち、第5実施例では、第1実施例（図3）に設けられていた2つのスイッチングトランジスタ251、252を有していない。また、これらのトランジスタ251、252のためのサブゲート線V1も省略されている。単一ラインドライバ410dや、その内部の回路411d、412dは、図3に示した第1実施例におけるこれらの回路と同じものである。但し、第5実施例では、電圧生成回路411dと電流生成回路412dとが、1本のデータ信号線Xmに共通に接続されている点で第1実施例と異なる。

【0064】図13は、第5実施例の画素回路210dの動作を示すタイミングチャートである。プログラミング期間Tprの前半では電圧生成回路411dから電圧信号Vout（図13（c））がデータ線Xmに供給されて電圧プログラミングが実行され、このとき、データ線Xmの充電または放電と、保持キャパシタ230の充電または放電とが行われる。後半では電流生成回路412dから電流信号Iout（図13（d））が供給されて、保持キャパシタ230が正確にプログラミングされる。第5実施例では、電圧プログラミングと電流プログラミングの両方においてスイッチングトランジスタ211がオン状態に設定されるので、これらの両方においてゲート信号V2がHレベルに保たれる。

【0065】このように、従来と同じ画素回路を用いた場合にも、電圧プログラミングと電流プログラミングとを併用するようにすれば、電圧プログラミングのみの場合に比べて正確に発光階調を設定でき、また、電流プログラミングのみの場合に比べて高速に発光階調を設定できる。特に、第5実施例では、1つのデータ線Xmを用いて電圧プログラミングが行われた後に、同じデータ線Xmを用いて電流プログラミングが実施される。電圧プログラミングでは、データ線Xmと保持キャパシタ230の両方に対して一種のプリチャージが行われ、その後、電流プログラミングが実施される。従って、従来に比べて高速にかつ正確に発光階調を設定することが可能

である。

【0066】図14は、第5実施例の変形例を示す回路図である。この変形例では、電圧生成回路411dが、電源電圧Vdd側に配置されている点が図12の構成と異なる。このような回路においても、図12の回路と同様な効果が得られる。

【0067】なお、第5実施例のように、同一のデータ線Xmを用いて電圧プログラミングと電流プログラミングを行う場合に、電圧プログラミング期間と電流プログラミング期間とが部分的に重なり合っている場合でも良い。発光階調を正確に設定するためには、少なくとも電圧プログラミング（電圧信号の供給）が完了した後の期間において、電流プログラミング（電流信号の供給）が行われるように、電圧信号と電流信号のタイミングが調整されていることが好ましい。

【0068】F. 他の変形例：

F1：上述した各種の実施例では、1行分の画素回路群毎に（すなわち、線順次に）プログラミングを行っていたが、この代わりに、1画素回路毎に（すなわち、点順次に）プログラミングを行うようにしてもよい。点順次にプログラミングを行う場合には、1組のデータ線Xm（U1、U2）毎に1つの単一ラインドライバ410（データ信号生成回路）を設ける必要はなく、画素回路マトリクスの全体に対して、1つの単一ラインドライバ410のみを設けておけばよい。このとき、1つの単一ラインドライバ410は、プログラミング対象となる画素回路を含む1組のデータ線上に、データ信号（電圧信号Voutと電流信号Iout）を出力できるように構成されていればよい。これを実現するために、例えば、単一ラインドライバ410と複数組のデータ線との接続関係を切り換えるスイッチ回路を設けるようにしてもよい。

【0069】F2：上述した各種の実施例では、すべてのトランジスタがFETで構成されているものとしていたが、一部または全部のトランジスタをバイポーラトランジスタや他の種類のスイッチング素子で置き換えることも可能である。FETのゲート電極と、バイポーラトランジスタのベース電極は、本発明における「制御電極」に相当する。これらの各種のトランジスタとしては、薄膜トランジスタ（TFT）に加えて、シリコンベースのトランジスタも採用可能である。

【0070】F3：上述した各種の実施例で用いた画素回路では、プログラミング期間Tprと発光期間Telとが分かれていたが、プログラミング期間Tprが発光期間Telの一部に重なるような画素回路を用いることも可能である。例えば、図9や図11の動作では、プログラム期間Tpr中にも有機EL素子に電流IELが流れており、発光している。従って、これらの動作では、プログラム期間Tprと発光期間Telとが一部重なっていると考えることも可能である。

【0071】F4：上述した各種の実施例においては、

アクティブマトリクス駆動法を利用するものとしていたが、本発明は、パッシブマトリクス駆動法を用いて有機 EL 素子を駆動する場合にも適用可能である。但し、多階調の調整が可能な表示装置や、アクティブマトリクス駆動法を用いる表示装置に対しては、駆動の高速化への要求がより強いので、本発明の効果もより顕著である。さらに、本発明は、画素回路をマトリクス状に配列した表示装置に限らず、他の配列を採用した場合にも適用することが可能である。

【0072】F5：上述した実施例や変形例では、有機 EL 素子を用いた表示装置の例を説明したが、本発明は、有機 EL 素子以外の発光素子を用いた表示装置や電子装置にも適用可能である。例えば、駆動電流に応じて発光の階調が調整可能な他の種類の発光素子（LED や FED（Field Emission Display）など）を有する装置にも適用することができる。

【0073】F6：上述した各実施例で説明した動作は単なる一例であり、画素回路に異なる動作を行わせるようにしてもよい。例えば、ゲート信号 V1～V3 の変化のパターンを上述の例とは異なるパターンに設定することも可能である。また、電圧プログラミングが必要か否かを判断して、必要とされる場合にのみ電圧プログラミングを実行するようにしてもよい。例えば、電圧信号として供給されるデータ信号が、発光素子のすべての階調に対応する電圧値を取り得るようにしてもよい。また、データ信号の電圧値の数は、発光素子の階調の数より少なくとも良い。後者の場合には、発光素子の階調のある範囲毎に、データ信号の 1 つの電圧値が対応付けられる。

【0074】F7：上述した各実施例の画素回路は、種々の電子機器の表示装置に適用可能であり、例えば、パーソナルコンピュータや、携帯電話、デジタルスチルカメラ、テレビ、ビューファインダ型やモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた機器等に適用可能である。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例としての表示装置の概略構成を示すブロック図。

【図 2】表示マトリクス部 200 とデータ線ドライバ 400 の内部構成を示すブロック図。

【図 3】第 1 実施例の画素回路 210 と単一ラインドライ

バ 410 の内部構成を示す回路図。

【図 4】トランジスタ 251 がオン状態で他のトランジスタ 252 がオフ状態の場合の画素回路 210 の等価回路を示す回路図。

【図 5】第 1 実施例の画素回路 210 の通常の動作を示すタイミングチャート。

【図 6】第 2 実施例の画素回路 210 a と単一ラインドライバ 410 の内部構成を示す回路図。

【図 7】第 2 実施例の画素回路 210 a の動作を示すタイミングチャート。

【図 8】第 3 実施例の画素回路 210 b と単一ラインドライバ 410 b の内部構成を示す回路図。

【図 9】第 3 実施例の画素回路 210 b の動作を示すタイミングチャート。

【図 10】第 4 実施例の画素回路 210 c と単一ラインドライバ 410 c の内部構成を示す回路図。

【図 11】第 4 実施例の画素回路 210 c の動作を示すタイミングチャート。

【図 12】第 5 実施例の画素回路 210 d と単一ラインドライバ 410 d の内部構成を示す回路図。

【図 13】第 5 実施例の画素回路 210 d の動作を示すタイミングチャート。

【図 14】第 5 実施例の変形例の構成を示す回路図。

【符号の説明】

200…表示マトリクス部

210…画素回路

211, 212…スイッチングトランジスタ（第 1 のスイッチングトランジスタ）

213…トランジスタ

30 214…駆動トランジスタ

220…有機 EL 素子

230, 232…保持キャパシタ

240…電流プログラミング回路

251…電圧プログラミング用トランジスタ（第 3 のスイッチングトランジスタ）

261…電圧プログラミング用トランジスタ（第 2 のスイッチングトランジスタ）

300…ゲートドライバ

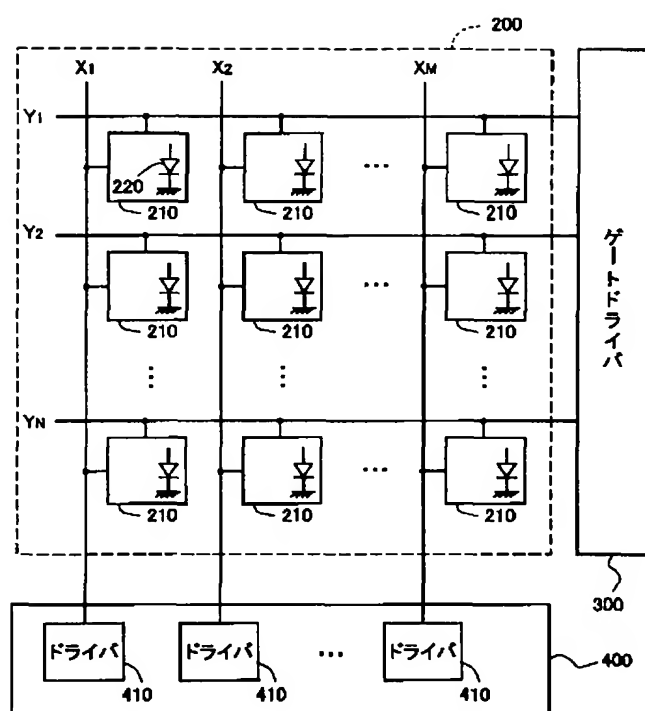
400…データ線ドライバ

40 410…単一ラインドライバ

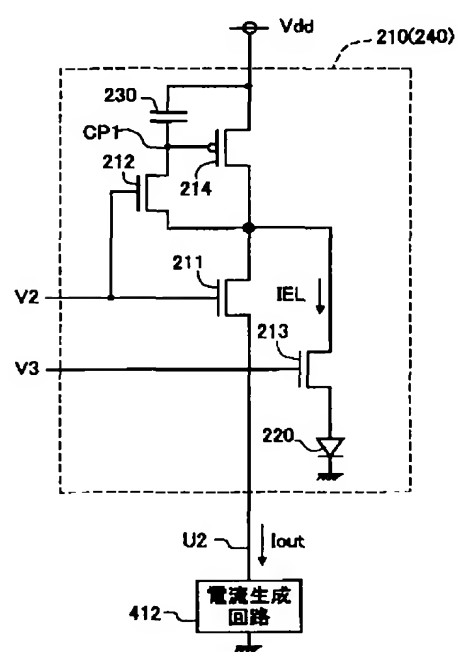
411…電圧生成回路

412…電流生成回路

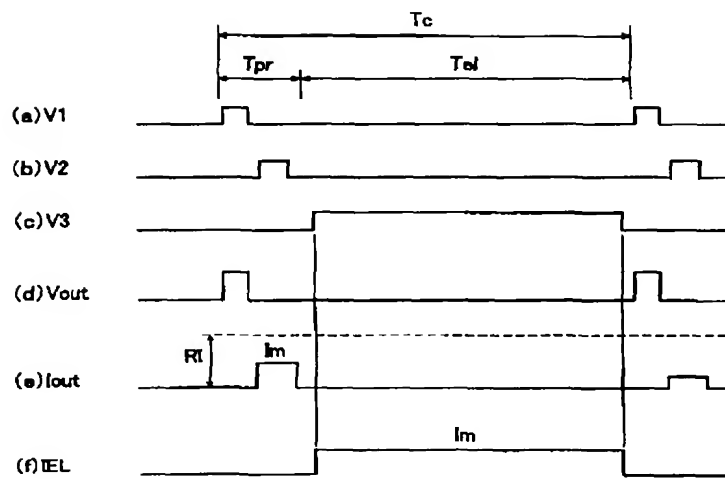
【图 2】



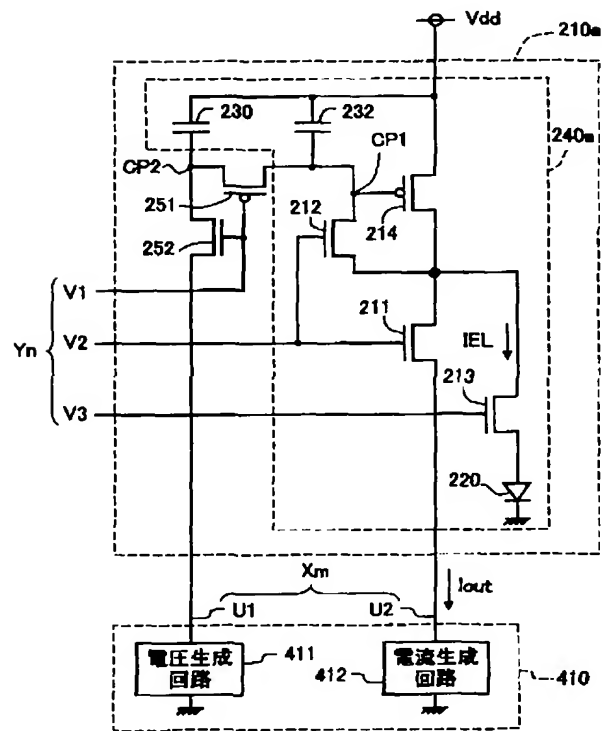
【图 4】



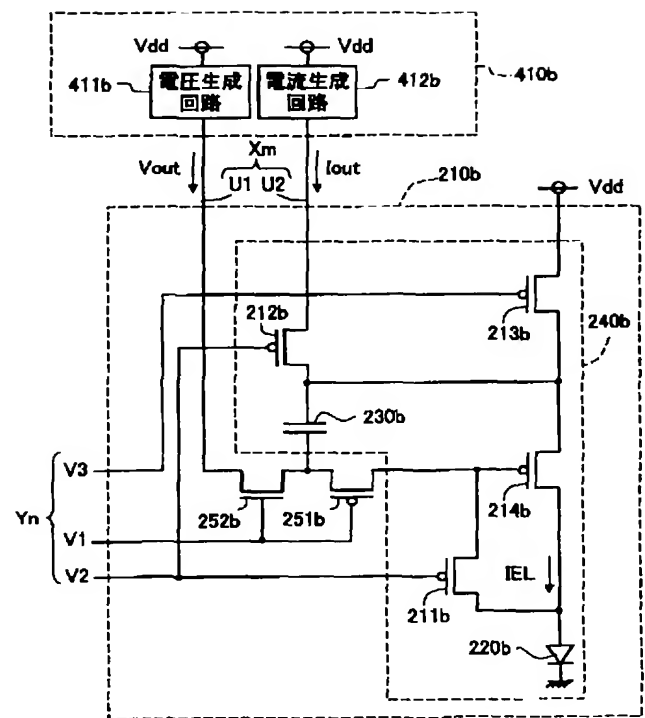
【図 5】



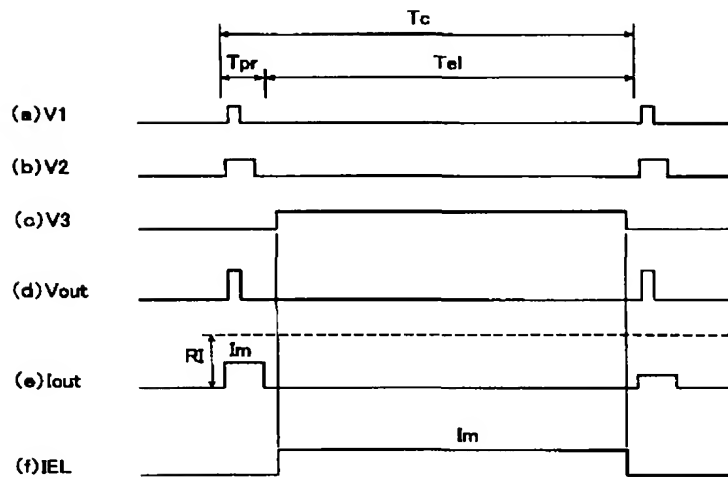
【図 6】



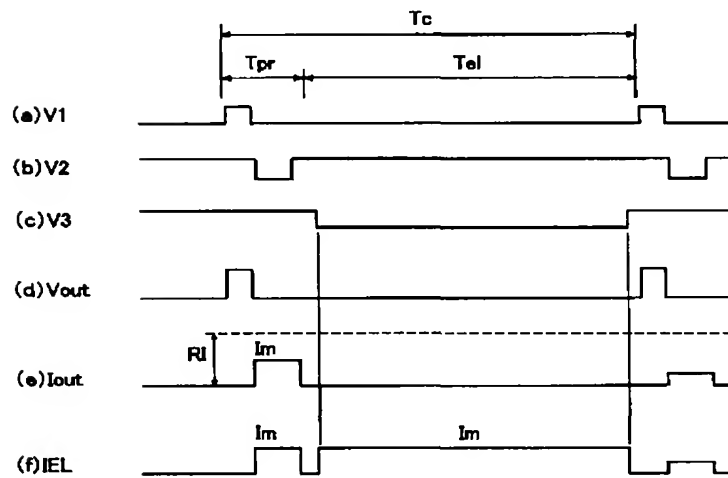
【図 8】



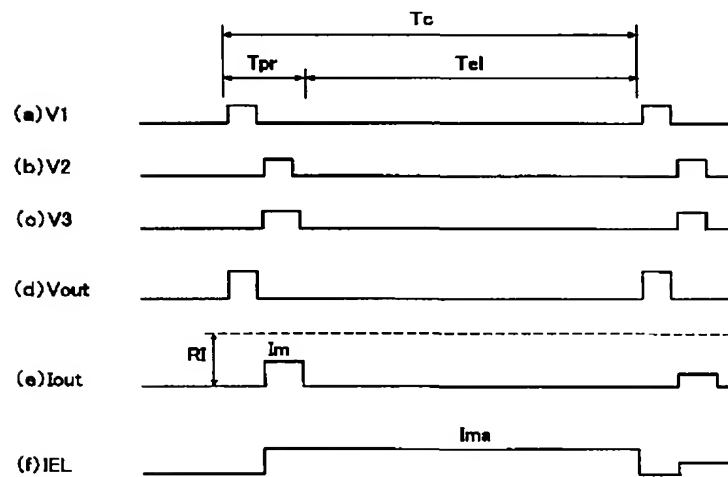
【図 7】



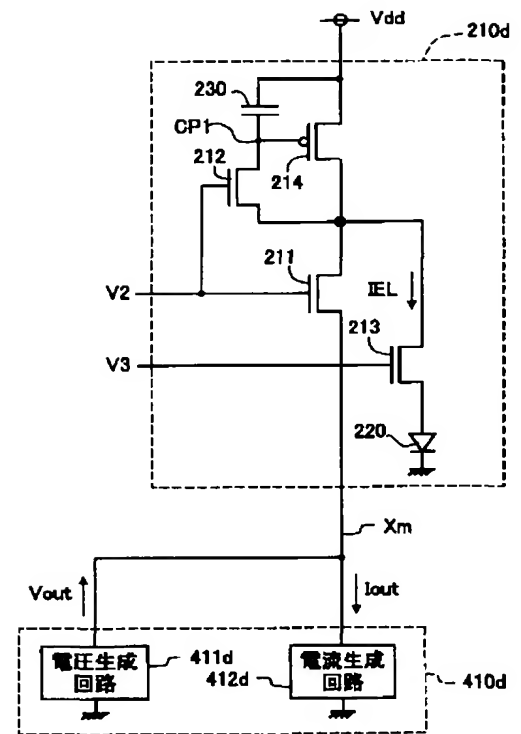
【図 9】



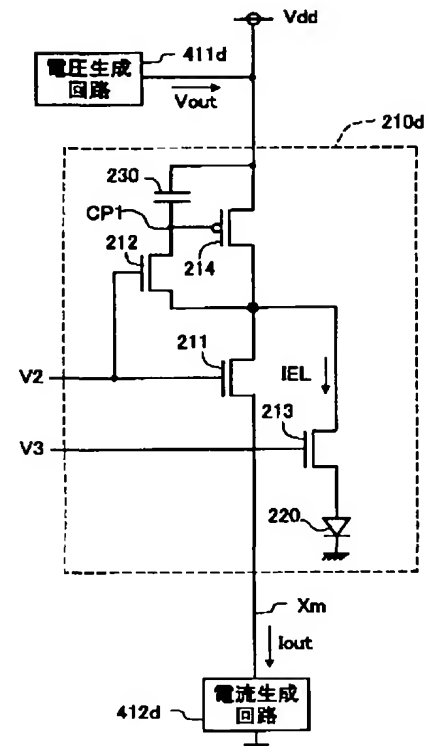
【図 11】



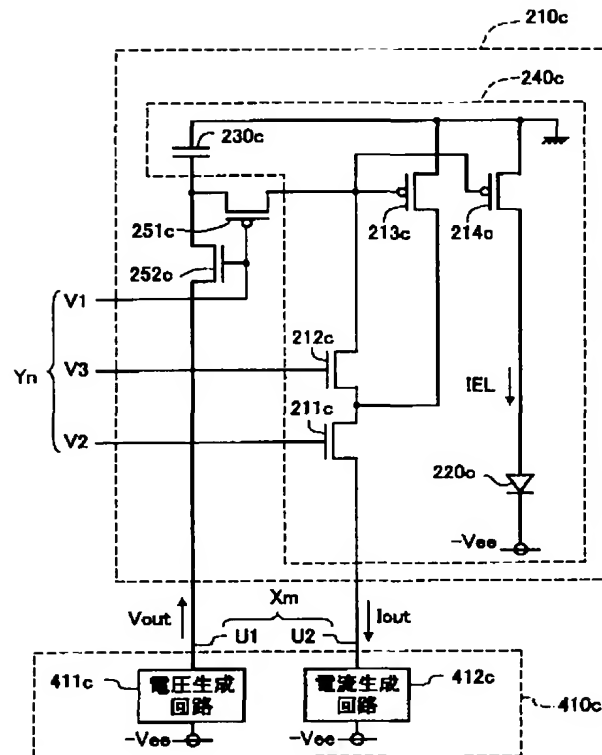
【図 12】



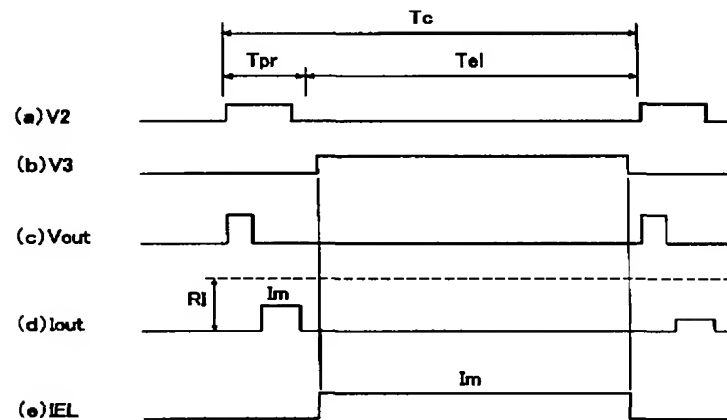
【図 14】



【図 10】



【図 13】



フロントページの続き

(51) Int. Cl.

G 0 9 G 3/20

H 0 5 B 33/14

識別記号

6 2 4

6 4 1

F I

G 0 9 G 3/20

H 0 5 B 33/14

ターマコード (参考)

6 2 4 B

6 4 1 S

A

F ターム (参考) 3K007 AB04 AB17 DB03 GA04
 5C080 AA06 BB05 DD03 EE29 FF11
 JJ02 JJ03 JJ04
 5C094 AA07 AA60 BA03 BA12 BA23
 BA27 CA19 CA25 GA00 HA08
 HA10